

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Takahiro SAITO, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: ONE-CHIP IMAGE PROCESSING APPARATUS

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-066763	March 12, 2003

Certified copies of the corresponding Convention Application(s)

- are submitted herewith
- will be submitted prior to payment of the Final Fee
- were filed in prior application Serial No. filed
- were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- (B) Application Serial No.(s)
 are submitted herewith
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

02S1060

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日

Date of Application:

2003年 3月12日

出願番号

Application Number:

特願2003-066763

[ST.10/C]:

[JP2003-066763]

出願人

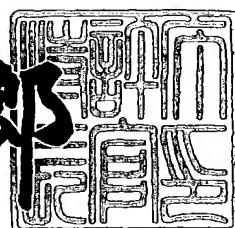
Applicant(s):

株式会社東芝

2003年 4月 4日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3023497

【書類名】 特許願

【整理番号】 A000204293

【提出日】 平成15年 3月12日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 15/20

【発明の名称】 画像処理装置

【請求項の数】 12

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ
イクロエレクトロニクスセンター内

【氏名】 斎藤 敬弘

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ
イクロエレクトロニクスセンター内

【氏名】 森 健一

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ
イクロエレクトロニクスセンター内

【氏名】 国松 敦

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像処理装置

【特許請求の範囲】

【請求項1】 描画するエリアを複数のピクセルからなるブロック単位で扱い、各ブロックの代表点に関する情報の展開計算をするブロック展開部と、前記ブロック展開部で計算されたブロック代表点情報から少なくとも矩形領域内のピクセル単位に情報展開するピクセル展開部および前記ピクセル展開部により情報展開されたピクセル単位の演算を行う演算部をそれぞれ有する複数のピクセル処理部とを備えた画像処理部が同一半導体チップ上に形成されており、

前記ブロック展開部とピクセル処理部が連携して行うグラフィックス処理および前記ピクセル処理部がブロック展開部とは独立して行う画像処理を、選択的に実行することを特徴とする画像処理装置。

【請求項2】 前記ピクセル展開部は、

多重ループのカウントを制御するループカウンタ部と、前記ピクセル処理部内のバッファからデータを読み出すためのアドレスを計算するバッファ・アドレス計算部と、前記バッファからデータを読み出し、前記演算部で必要となる複数のパラメータとメモリのアドレスを計算するアドレス・パラメータ計算部とを具備することを特徴とする請求項1記載の画像処理装置。

【請求項3】 前記演算部は、

前記ピクセル展開部が計算した複数のアドレスにしたがって画像処理装置の内部あるいは外部のメモリから読み出したデータおよび前記ピクセル展開部が計算した複数のパラメータを用いて演算を行う複数の積和計算部と、前記積和計算部の最終段に付加され、前記メモリからのデータ読み出しの代わりにアキュムレータを行うアキュムレータとを具備することを特徴とする請求項1または2記載の画像処理装置。

【請求項4】 前記ピクセル処理部は、前記演算部との間でデータの書き込み／読み込みが行われるファースト・イン・ファースト・アウト型のバッファ回路を具備することを特徴とする請求項1乃至3のいずれか1項に記載の画像処理装置。

【請求項5】 前記ピクセル処理部は、前記演算部からデータが書き込まれ、前記ピクセル展開部へデータが読み込まれるバッファ回路を具備することを特徴とする請求項1乃至3のいずれか1項に記載の画像処理装置。

【請求項6】 前記ピクセル処理部は、前記演算部からデータが書き込まれ、前記ピクセル展開部へデータが読み込まれる第1のパスと、前記ピクセル展開部からのアドレスにしたがって前記演算部へデータが読み込まれる第2のパスを有するバッファ回路を具備することを特徴とする請求項1乃至3のいずれか1項に記載の画像処理装置。

【請求項7】 前記画像処理部を複数有し、複数の画像処理部が互いに異なる処理を並行して実行することを可能としたことを特徴とする請求項1乃至6のいずれか1項に記載の画像処理装置。.

【請求項8】 描画するエリアを複数のピクセルからなるブロック単位で扱い、各ブロック内のピクセルの代表値計算をするピクセル展開部と、少なくとも矩形領域内のピクセルに関するパラメータとアドレスを計算するアドレス計算部および前記ピクセルの代表値と前記アドレス計算部で計算されたパラメータとアドレスに応じてメモリから読み出した少なくとも1つ以上を用いてピクセル処理の部分演算を行う演算部をそれぞれ有する複数のピクセル処理部とを備えた画像処理部が同一半導体チップ上に形成され、

前記ピクセル展開部とピクセル処理部が連携して行うグラフィックス処理および前記ピクセル処理部がブロック展開部とは独立して行う画像処理を、選択的に実行することを特徴とする画像処理装置。

【請求項9】 前記ピクセル処理部が、前記演算部との間で書き込み／読み込みが行われるファースト・イン・ファースト・アウト型のバッファ回路を具備することを特徴とする請求項8記載の画像処理装置。

【請求項10】 前記ピクセル処理部は、前記演算部から書き込まれ、前記ピクセル展開部から読み込まれるバッファ回路を具備することを特徴とする請求項8記載の画像処理装置。

【請求項11】 前記ピクセル処理部は、前記演算部から書き込まれ、前記ピクセル展開部から読み込まれるパスと、前記ピクセル展開部からのアドレスに

したって前記演算部へ読み込まれるパスとがあるバッファ回路を具備することを特徴とする請求項記載の画像処理装置。

【請求項12】 前記画像処理部を複数有することを特徴とする請求項8乃至11のいずれか1項に記載の画像処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、画像処理装置に係り、特に画像処理用プロセッサに関するもので、例えばコンピュータ・グラフィックス、コンピュータ・ビジョン、画像フィルタなどに使用されるものである。

【0002】

【従来の技術】

一般に、画像処理装置は、処理するアドレスと演算用のパラメータを準備するラスタライズ部とピクセル単位の処理を行う演算部とから構成された画像処理部を有する。

【0003】

従来のコンピュータ・グラフィックスに使用されるプロセッサは、任意の三角形を各ピクセルに展開する高機能なラスタライズ部を必要とし、また、各ピクセルに対する高度なシェーディング処理を行うための複雑で深いパイプラインの演算部（あるいはピクセルパイプ）を必要としていた。そのため、単純な画像処理を行う場合には動作が不要な回路が多く、処理結果が出るまでのレイテンシも長く、処理の効率が悪かった。

【0004】

一方、従来のコンピュータ・ビジョンまたは画像フィルタなどに使用される画像処理用プロセッサでは、非常に単純なアドレス生成部と単純な演算部から構成される。そのため、複雑なグラフィックス処理を行うには、メモリへの読み書きを多用する方法しかなく、処理の効率が悪かった。

【0005】

また、一般的汎用プロセッサは、画像処理全般に特有なピクセル処理の並列性

を活用できないので、画像処理専用プロセッサに対して処理の効率が悪い。

【0006】

図18は、従来の画像処理部の構成例として、処理のアルゴリズムとしてDDA(Digital Differential Analyzer)を用いた例を示している。

【0007】

この画像処理部は、セットアップ(SEUP)部201、DDA部202、エクスパンド(Expand)部203、複数のピクセル処理部204、メモリコントローラ205、内蔵メモリ206が同一半導体チップ上に形成されてなる。

【0008】

前記セットアップ部201、DDA部202、エクスパンド部203は、ラスタライズ処理を行う。ピクセル処理部204はピクセル処理を行うものであり、各ピクセル処理部204は演算部207からなる。

【0009】

図19は、図18中のピクセル処理部204の動作例を示す。

【0010】

この例は、ピクセル処理部204が8個あり、 4×2 ピクセルのスタンプ(stamp)を 4×2 のパイプで並列処理する場合を示している。

【0011】

図18中のピクセル処理部204は、演算部207が複数回のループ演算処理を行う際、セットアップ部201までのループになる近傍ピクセルを異なる演算部207で処理するので、メモリコントローラ205による制御が複雑になる。

【0012】

なお、特許文献1には、グラフィックス処理において、各ピクセルに対する処理を行う装置について開示されている。この装置は、各ピクセルの処理をテクスチャステージとレジスタコンバイナ(register combiner)ステージで行うものであり、テクスチャステージでメモリから必要なデータを読み出してグラフィックスに適した加工をし、レジスタコンバイナステージでそのデータを使用してピクセル色を計算する。レジスタコンバイナステージでは、カスケードに接続した演算器のそれぞれに入力データと演算の種類を定義し、データストリームを流すこ

とで、ピクセルの処理をする。したがって、演算器数と入力データ数を増やし、入力データの指定方法や、演算器同士の接続関係をより柔軟にしている。

【0013】

【特許文献1】

米国特許第6333744号明細書

【0014】

【発明が解決しようとする課題】

上記したように従来の画像処理装置は、コンピュータ・グラフィックス、コンピュータ・ビジョンまたは画像フィルタにおいてそれぞれの画像処理を効率よく実行できる画像処理用プロセッサのアーキテクチャは未だ提案されていないという問題があった。

【0015】

本発明は上記の問題点を解決すべくなされたもので、コンピュータ・グラフィックス、コンピュータ・ビジョン、画像フィルタ等の画像処理を1チップの画像処理部で効率良く行うことが可能になる画像処理装置を提供することを目的とする。

【0016】

【課題を解決するための手段】

本発明の第1の態様に係る画像処理装置は、描画するエリアを複数のピクセルからなるブロック単位で扱い、各ブロックの代表点に関する情報の展開計算をするブロック展開部と、前記ブロック展開部で計算されたブロック代表点情報から少なくとも矩形領域内のピクセル単位に情報展開するピクセル展開部および前記ピクセル展開部により情報展開されたピクセル単位の演算を行う演算部をそれぞれ有する複数のピクセル処理部とを備えた画像処理部が同一半導体チップ上に形成されており、前記ブロック展開部とピクセル処理部が連携して行うグラフィックス処理および前記ピクセル処理部がブロック展開部とは独立して行う画像処理を、選択的に実行することを特徴とすることを特徴とする。

【0017】

本発明の第2の態様に係る画像処理装置は、描画するエリアを複数のピクセル

からなるブロック単位で扱い、各ブロック内のピクセルの代表値計算をするピクセル展開部と、少なくとも矩形領域内のピクセルに関するパラメータとアドレスを計算するアドレス計算部および前記ピクセルの代表値と前記アドレス計算部で計算されたパラメータとアドレスに応じてメモリから読み出した少なくとも1つ以上を用いてピクセル処理の部分演算を行う演算部をそれぞれ有する複数のピクセル処理部とを備えた画像処理部が同一半導体チップ上に形成されており、前記ピクセル展開部とピクセル処理部が連携して行うグラフィックス処理および前記ピクセル処理部がブロック展開部とは独立して行う画像処理を、選択的に実行することを特徴とする。

【0018】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0019】

<第1の実施の形態>

図1は、本発明の画像処理装置の第1の実施形態で使用される画像処理部の構成の一例を示す。

【0020】

図1に示す画像処理部30は、セットアップ(SETUP)部31、ブロック展開部32、複数のピクセル処理部40、メモリコントローラ34、内蔵メモリ35が同一半導体チップ上に形成されてなる。なお、内蔵メモリ35に代えて外部メモリを用いてもよい。前記セットアップ部31は、送られてきた頂点情報に対してラスタライズするための初期値や傾き係数を計算する機能を有する。

【0021】

前記ブロック展開部32は、描画するエリアを適切なピクセル数（複数のピクセル）からなるブロック単位で扱い、各ブロックの代表点に関する情報展開（ラスタライズ）の計算をする機能を有する。この場合、処理のアルゴリズムがDDAであり、ブロック展開は上位レベルのラスタライズである。

【0022】

図2は、図1の画像処理部30を1つ持つ画像処理装置20の構成例を示す。

【0023】

図2において、システム・インターフェース21には、画像入力部22、画像出力部23、メモリ・インターフェース24、画像処理部30が接続されている。

【0024】

図3は、図2の画像処理装置20を用いた画像処理システムの一例を示す。

【0025】

図3において、10はCPUであり、メモリ11との間でデータを授受し、バス・ブリッジ12を通して画像処理装置20が接続されている。この画像処理装置20は、外部メモリ13との間でデータを授受し、入力インターフェース14を通してカメラ1等が接続されており、D/Aコンバータ15を通してビデオ信号出力部2が接続されている。前記バス・ブリッジ12には、インターフェースバス16を通して、コントローラ3、DVDドライブ4、ハードディスク5、通信装置6などが接続されている。

【0026】

図4は、図1中のピクセル処理部40の構成例を示す。

【0027】

このピクセル処理部40は、ピクセル展開部50と演算部60とからなる。

【0028】

ピクセル展開部50は、図1中のブロック展開部32で計算されたブロック代表点情報から少なくとも矩形領域内のピクセル単位に情報（データおよびアドレス）の展開の計算を行う機能を有する。

【0029】

演算部60は、ピクセル展開部50により情報展開されたピクセル単位の演算を行ってデータおよびアドレスを出力する機能を有する。この際、図1中のメモリコントローラ34を通して内蔵メモリ35との間でデータの授受を行う。

【0030】

図5は、図4中のピクセル展開部50の構成例を示す。

【0031】

このピクセル展開部50は、ループカウンタ部51で多重ループのカウントを制御

し、バッファ・アドレス計算部52でピクセル処理部40内のバッファ53からデータを読み出すためのバッファ・アドレスを計算する。アドレス・パラメータ計算部54は、バッファ53からデータを読み出し、図4中の演算部60で必要となる複数のパラメータとメモリのアドレスを計算する。

【0032】

図6は、図4中の演算部60の構成例を示す。

【0033】

この演算部60では、図5に示したピクセル展開部50が計算した複数のアドレス（本例では4つのシングル・インストラクション・マルチプル・データ; SIMD）で図1中のメモリコントローラ34を介して内蔵メモリ35からデータを読み出し、前記ピクセル展開部50が計算した複数のパラメータを各MAC（積和計算）部61 1～614に与えて所要の演算を行う。MAC部の最終段615では、図1中の内蔵メモリ35からデータの読み出しデータを行わない（読み出しデータを使わない）代わりに、アキュムレータ（アキュムレーションレジスタ）を持ち、アキュムレートが可能になっている。

【0034】

次に、図1に示した画像処理部30の動作を説明する。図1に示した画像処理部30は、ブロック展開部32とピクセル処理部40が連携して行うグラフィックス処理およびピクセル処理部32がブロック展開部40とは独立して行う画像処理を、選択的に実行することが可能になっている。

【0035】

まず、グラフィックス処理を行う場合には、セットアップ部31は、送られてきた頂点情報に対してラスタライズするための初期値や傾き係数を計算する。そして、ブロック展開部32は、セットアップ部31から送られてきた情報に基づいて各ピクセル処理部40が処理できるピクセル量のブロック毎の代表値を計算する。各ピクセル処理部40は、ブロック展開部32から送られてきた代表値に基づいて、ブロック内のピクセルについて計算を行う。

【0036】

図7は、図1に示した画像処理部30においてブロック代表値の計算を1パスで

処理する場合の動作フローを示す。

【0037】

まず、ステップS1において、セットアップ部31で、処理に必要なパラメータの初期値と差分を計算する。次に、ステップS2において、ピクセル処理部40が一度に処理できる大きさのブロックを定める。そして、処理対象領域をブロックで覆いながら処理するための準備を行う。この際、ピクセル処理部の番号Pを0にセットする。

【0038】

次に、ステップS3において、処理対象領域に未処理のブロックがあるか否かを判定する。判定の結果がYESである（未処理のブロックがある）場合には、ステップS4に移り、ブロック代表点の情報（アドレスやパラメータ）を計算する。そして、ブロック代表点の情報から、各ピクセルの情報を求めるのに必要な係数を計算し、P番目のピクセル処理部にブロック代表点の情報と係数を送る。ステップS5においては、ピクセル処理部の番号Pを1つ歩進（ $P = P + 1$ ）させ、Pがピクセル処理部の数に一致したら、ピクセル処理部の番号Pを0にリセットし、ステップS3に戻る。

【0039】

なお、ステップS3において、判定の結果がNOである（未処理のブロックがない）場合には、処理を終了させる。

【0040】

一方、図1の画像処理部30で画像処理を行う場合は、ブロック毎の代表値は予め計算できる場合が多く、図1中に示した各ピクセル処理部40のみでピクセルについて計算を行う。

【0041】

即ち、上記した構成を有する図1の画像処理部30は、ピクセル単位の処理を振り分けるラスタライズ部を2段構成（ブロック展開部32、ピクセル展開部50）としている。これによって、グラフィックス処理では、ブロック展開部32とピクセル処理部50が連携し、それらの協調処理によってレンダリング処理が可能となる。また、ビジョン処理や画像処理では、ピクセル処理部40がブロック展開部32と

は独立して動作し、個々のピクセル処理部40がブロック処理を行うことによって画像処理を効率良く行うことが可能である。これに対して、図18中に示した従来のピクセル処理部204は、グラフィックス処理内のピクセル処理のみしか行うことができなかった。

【0042】

<第2の実施形態>

図8は、本発明の画像処理装置の第2の実施形態で使用される画像処理部30aの構成例を示す。

【0043】

この画像処理部30aは、図1を参照して前述した画像処理部30と比べて、図1中のブロック展開部32に代えてピクセル展開部36が設けられており、各ピクセル処理部40aにおいて図1中のピクセル展開部50に代えてアドレス計算部80が設けられており、メモリコントローラ34aで制御されるセレクタ37が付加されている点が異なり、その他は同じであるので図1中と同一符号を付している。

【0044】

即ち、図8の画像処理部30aでグラフィックス処理を行う場合は、セットアップ部31aはピクセル展開部36のラスタライズで使用するパラメータを計算し、ピクセル展開部36はピクセルの各パラメータ計算に共通に使用する重心座標を計算してピクセル代表値を生成し、矩形領域内の1つ以上のピクセル代表値を出力する。この場合、各ピクセル処理部40aの入力側にセレクタ37が設けられており、1つのピクセル処理部40aをメモリコントローラ34aで選択して前記ピクセル代表値を転送する。この処理を複数のピクセル処理部40aに対して順次行う。この場合、処理のアルゴリズムはDE(Direct Evaluation)であり、ブロック展開はピクセル展開である。

【0045】

各ピクセル処理部40aにおいては、転送されてきた1ピクセル毎に順次必要なアドレスやパラメータをアドレス計算部80で計算し、計算結果を演算部60に転送する。この場合、アドレス計算部80は、矩形領域内の複数のピクセルを順次処理するため、少なくとも矩形領域のアドレス計算が可能である。演算部60は、転送

されてきたアドレスから必要なデータをメモリコントローラ34a を介して内蔵メモリ35から取得し、実際の演算を行い、処理結果を出力する。

【0046】

即ち、上記したアドレス計算部80と演算部60の処理をピクセル処理部40a に転送されてきたピクセル全てに対してピクセルを変更しながら繰り返し行う。一連の処理を終了した時点で、内蔵メモリ35上の決められたバッファにピクセルデータを書き込む。この処理を、入力された全てのプリミティブに対して行う。

【0047】

一方、図8の画像処理部30a で画像処理を行う場合は、重心座標の場合のように各ピクセルに個別なパラメータはあまり必要ではなく、矩形領域内のアドレス計算は、殆どは演算部60のアキュムレータで行うことが可能である。そのため、内蔵メモリ35から矩形領域の代表値を各ピクセル処理部40a に転送し、その代表値から各ピクセルのアドレスやパラメータをアドレス計算部80で計算し、その結果を用いて、演算部60が実際の画像処理であるフィルタリングやテンプレートマッチングの処理を行う。

【0048】

例えば 8×8 ピクセルのカーネルによるフィルタリングでは、アドレス計算部80が対象画像のカーネル内のピクセルアドレスを順次計算し、フィルタの係数とともに演算部60に渡す。演算部60では、渡されたアドレスからピクセルデータを読み出し、フィルタ係数との乗算を行い、その結果をアキュムレーションしていく。この時、同時に乗算を行うピクセル数は幾つでもよく、本例では4 ピクセルである。

【0049】

<第3の実施の形態>

図9は、本発明の画像処理装置の第3の実施形態で使用されるピクセル処理部の構成例を示す。

【0050】

このピクセル処理部40a は、図4に示したピクセル処理部40と比べて、演算部60の出力をファースト・イン・ファースト・アウト(First in First out; FIFO)

型のバッファ回路41を介して演算部の入力に戻すループが付加されている点が異なり、その他は同じである。

【0051】

このようにバッファループを持つと、計算途中の値をメモリまで書き戻さずに済み、演算部60を複数回ループ処理（繰り返し処理）することが可能になる。したがって、複雑な処理を複数の手続きに分解し、単純な構成の演算部60でも複雑な演算処理を高速に行うことが可能になり、演算部60の回路面積を小さくすることが可能になる。

【0052】

図10は、図9に示したピクセル処理部40aに対するブロック内処理の割り当てに関する一例を示す。

【0053】

この例は、ピクセル処理部40aが4個あり、 4×2 ピクセルのスタンプ(stamp)を各ピクセル処理部40aが処理する場合を示している。

【0054】

ここでは、小さめの $m_1 \times m_2$ のスタンプ(stamp)を1つのピクセル処理部40aで処理する。なお、スタンプ(stamp)は、ピクセル処理部40aのバッファ回路41に溜められるピクセル数までの大きさである。ブロック展開部(DDA)からスタンプ(stamp)に属するピクセル処理部40aに同じ係数が渡される。各ピクセル処理部40aは、自己に相応したオフセットを加えて解釈する。したがって、上記処理動作は、コンピュータ・グラフィックス(CG)向きの挙動と言える。

【0055】

図11は、図9に示したピクセル処理部40aに対するブロック内処理の割り当てに関する他の例を示す。

【0056】

この例は、ピクセル処理部40aが8個あり、 8×8 ピクセルのスタンプ(stamp)を各ピクセル処理部40aが 4×2 ピクセルづつ処理する場合を示している。

【0057】

ここでは、大きめの $n \times n$ のスタンプ(stamp)を複数のピクセル処理部40aで

処理するので、スタンプ(stamp)が埋まらないと不利である。ピクセル処理部40aは、ピクセル処理部40aのバッファ回路41に溜められるピクセル数を一度に担当する。ブロック展開部(DDA)からスタンプ(stamp)に属するピクセル処理部40aに同じ係数が渡される。各ピクセル処理部40aは、自己に相応したオフセットを加えて解釈する。したがって、上記処理動作は、画像処理向きの挙動と言える。

【0058】

図12は、図9に示したピクセル処理部40aに対するブロック内処理の割り当てが図10および図11に示すように行われた場合に、図1の画像処理部30においてブロック代表値の計算を2パスで処理する場合の動作フローを示す。

【0059】

まず、ステップS1において、処理の第1段階の計算準備を行う。次に、ステップS2において、ブロック内の全てのピクセルの処理が終了したか否かを判定する。判定の結果がNOである（未処理のピクセルがある）場合には、ステップS3に移り、ピクセル展開部からパラメータを受け取り、処理の第1段階の計算を行い、その結果をバッファへ書き出した後、前記ステップS2に戻る。このステップS2において、判定の結果がYESである（未処理のピクセルがない）場合には、ステップS4に移り、処理の第2段階の計算準備を行う。次に、ステップS5において、ブロック内の全てのピクセルの処理が終了したか否かを判定する。判定の結果がNOである（未処理のピクセルがある）場合には、ステップS6に移り、ピクセル展開部からパラメータを受け取り、前記バッファから処理の第1段階の計算結果を受け取り、処理の第2段階の計算を行い、メモリへ書き出した後、前記ステップS5に戻る。このステップS5において、判定の結果がYESである（未処理のピクセルがない）場合には、処理を終了させる。

【0060】

<第4の実施の形態>

図13は、本発明の画像処理装置の第4の実施形態で使用されるピクセル処理部の構成例を示す。

【0061】

このピクセル処理部40bは、図9に示した第3の実施形態によるピクセル処理部40aと比べて、演算部60の計算結果がバッファ回路42を経由してピクセル展開部50に入力されている点が異なり、その他は同じである。

【0062】

このような構成によれば、ピクセル展開部50で次の処理のアドレスを計算することができ、いわゆるデpendent・テクスチャ処理が効率よく行える。

【0063】

このような構成のピクセル処理部40bで行う処理としては、グラフィックスのバンプ環境マップ(Bumped Environment Mapping)などがある。

【0064】

図14は、図13に示したピクセル処理部40bによるバンプ環境マップの計算動作の一例を示す。

【0065】

最初に、バンプマップ(bump map)を読み出し、そのピクセルにどの方向の物体や背景が写りこんで見えるかを計算する。次に、その計算結果の方向から、環境マップの画像を読み出し、そのピクセルの色を計算する。この際、環境マップの読み出しアドレスは、バンプマップの読み出し結果に依存していて、バンプマップから計算した方向をバッファに格納することで処理を行う。例えば、1パス目では、bump mapで反射するベクトルの方向を計算し、2パス目では、ベクトルの方向から環境マップの画像を読み出してピクセルの色を計算する。

【0066】

＜第5の実施の形態＞

図15は、本発明の画像処理装置の第5の実施形態で使用されるピクセル処理部の構成例を示す。

【0067】

このピクセル処理部40cは、図13に示した第4の実施形態のピクセル処理部40bと比べて、演算部60の計算結果がバッファ回路43を経由してピクセル展開部50に入力されている点、ピクセル展開部50でのアドレス計算の結果(アドレス)によるバッファ回路43のデータを演算部60で読むように構成されている点が異なる。

り、その他は同じである。

【0068】

このような構成によれば、演算部60の計算結果をピクセル展開部50のアドレス計算に使い、そのアドレスによるバッファ回路43のデータを演算部60が読むことによって、より複雑な処理が可能となる。

【0069】

このような構成のピクセル処理部40cで行う処理としては、カラー動画像標準化符号化方式（以下、MPEGと記す）の符号化で行うジグザグスキヤンなどがある。MPEG符号化では、DCT変換、正規化後に、ジグザグスキヤンを行う。

【0070】

図16は、図15に示したピクセル処理部40cによるジグザグスキヤン処理における相対アドレスの一例を示す。

【0071】

図15および図16に示すように、ジグザグスキヤンでは、ピクセル展開部50で順番を入れ替えるための相対アドレスをバッファ回路43から読み出し、ピクセル展開部50でアドレスを計算し、それまでの計算結果を読み出す。

【0072】

<第6の実施形態>

図17は、本発明の画像処理装置の第6の実施形態として、画像処理部を複数持つ場合の構成例を示す。

【0073】

この画像処理装置20aは、図2を参照して前述した画像処理装置20と比べて、システム・インターフェース21にバス（またはクロスバス）25を介して複数の画像処理部30が接続されている点が異なり、その他は同じであるので図2中と同一符号を付している。

【0074】

このような構成の画像処理装置20aによれば、複数の画像処理部30が互いに異なる処理を並行して実行することができる。例えば、第1の画像処理部（A）30ではグラフィックスレンダリングを実施しながら、第2の画像処理部（B）30で

はMPEG符号化を行うことが可能である。

【0075】

【発明の効果】

上述したように本発明の画像処理装置によれば、コンピュータ・グラフィックス、コンピュータ・ビジョン、画像フィルタ等の画像処理を1チップの画像処理部で効率良く行うことができる。

【図面の簡単な説明】

【図1】 本発明の画像処理装置の第1の実施形態で使用される画像処理部の構成の一例を示すブロック図。

【図2】 図1の画像処理部を1つ持つ画像処理装置の構成例を示すブロック図。

【図3】 図2の画像処理装置を用いた画像処理システムの一例を示すブロック図。

【図4】 図3中のピクセル処理部の構成例を示すブロック図。

【図5】 図4中のピクセル展開部の構成例を示すブロック図。

【図6】 図4中の演算部の構成例を示すブロック図。

【図7】 図1に示した画像処理部においてブロック代表値の計算を1パスで処理する場合の動作フローを示す図。

【図8】 本発明の画像処理装置の第2の実施形態で使用される画像処理部の構成例を示すブロック図。

【図9】 本発明の画像処理装置の第3の実施形態で使用されるピクセル処理部の構成例を示すブロック図。

【図10】 図9に示したピクセル処理部に対するブロック内処理の割り当てに関する一例を示す図。

【図11】 図9に示したピクセル処理部に対するブロック内処理の割り当てに関する他の例を示す図。

【図12】 図9に示したピクセル処理部に対するブロック内処理の割り当てが図10および図11に示すように行われた場合に図1の画像処理部においてブロック代表値の計算を2パスで処理する場合の動作フローを示す図。

【図13】 本発明の画像処理装置の第4の実施形態で使用されるピクセル処理部の構成例を示すブロック図。

【図14】 図13に示したピクセル処理部によるバンプ環境マップの計算動作の一例を示す図。

【図15】 本発明の画像処理装置の第5の実施形態で使用されるピクセル処理部の構成例を示すブロック図。

【図16】 図15に示したピクセル処理部によるジグザグスキャン処理における相対アドレスの一例を示す図。

【図17】 本発明の画像処理装置の第6の実施形態として、画像処理部を複数持つ場合の構成例を示すブロック図。

【図18】 従来の画像処理装置における画像処理部の構成例を示すブロック図。

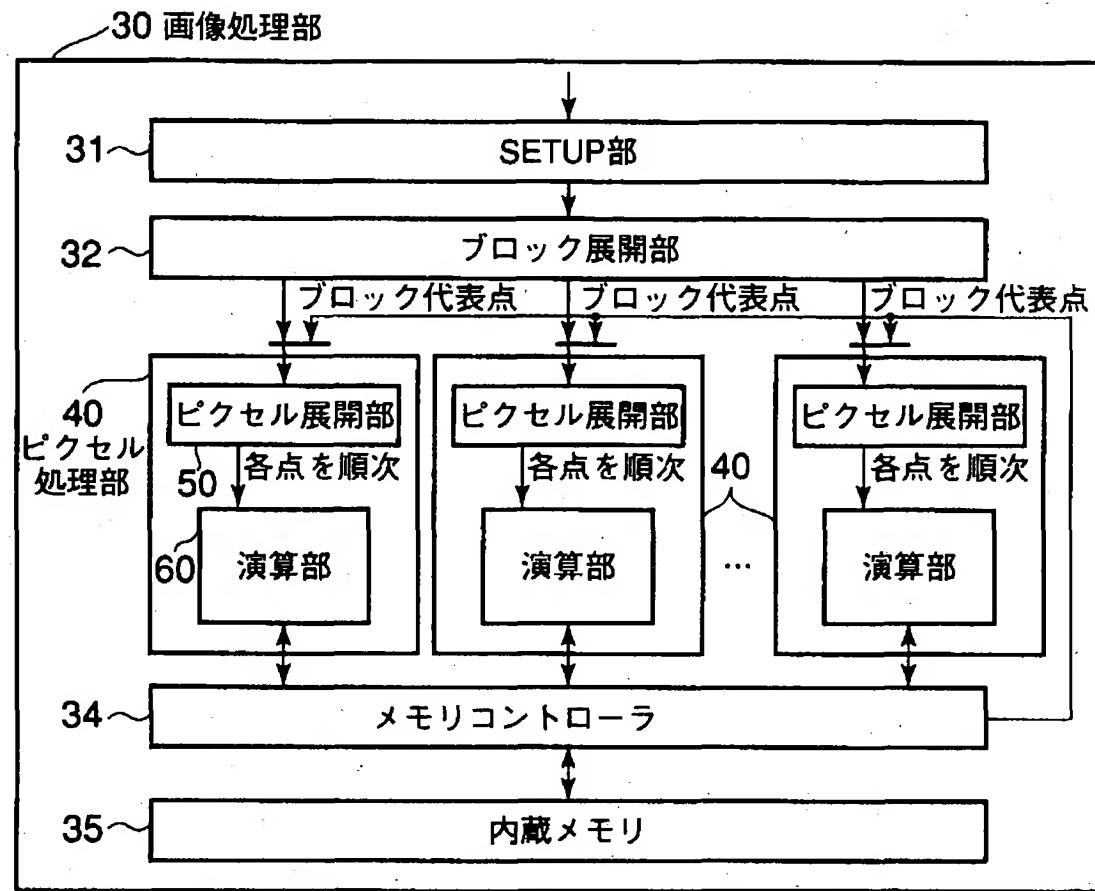
【図19】 図18中のピクセル処理部の動作例を示す図。

【符号の説明】

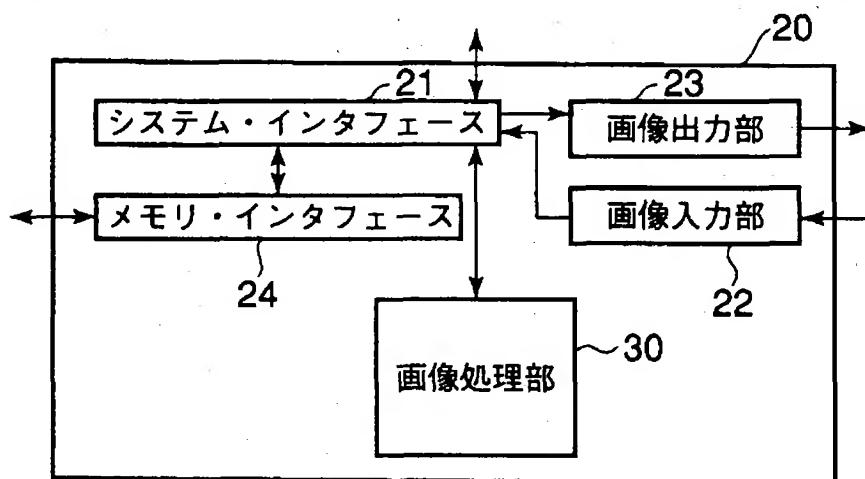
30…画像処理部、31…セットアップ(SEUP)部、32…ブロック展開部、34…メモリコントローラ、35…内蔵メモリ、40…ピクセル処理部、50…ピクセル展開部、60…演算部。

【書類名】 図面

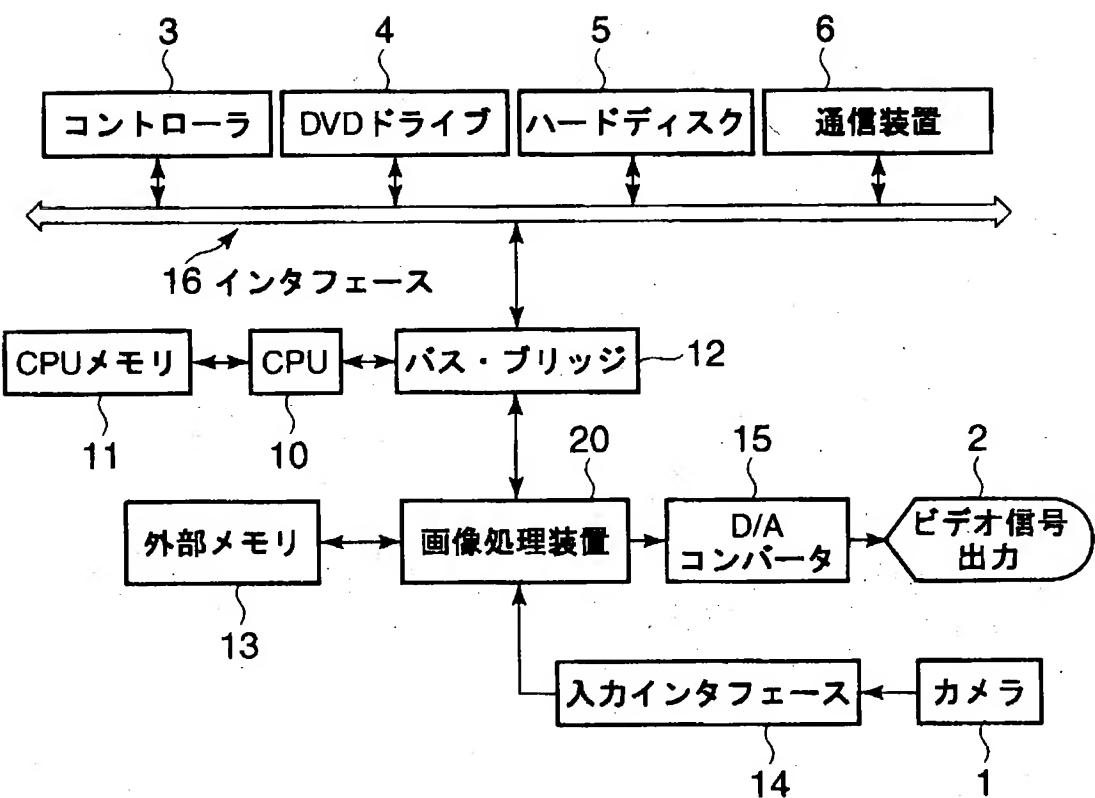
【図1】



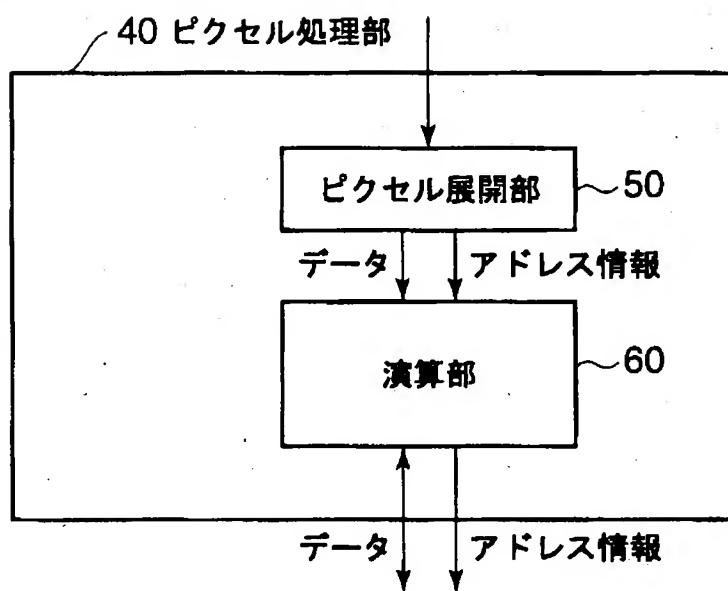
【図2】



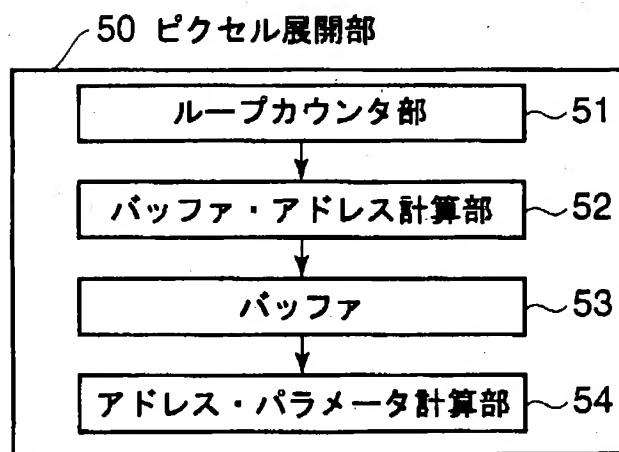
【図3】



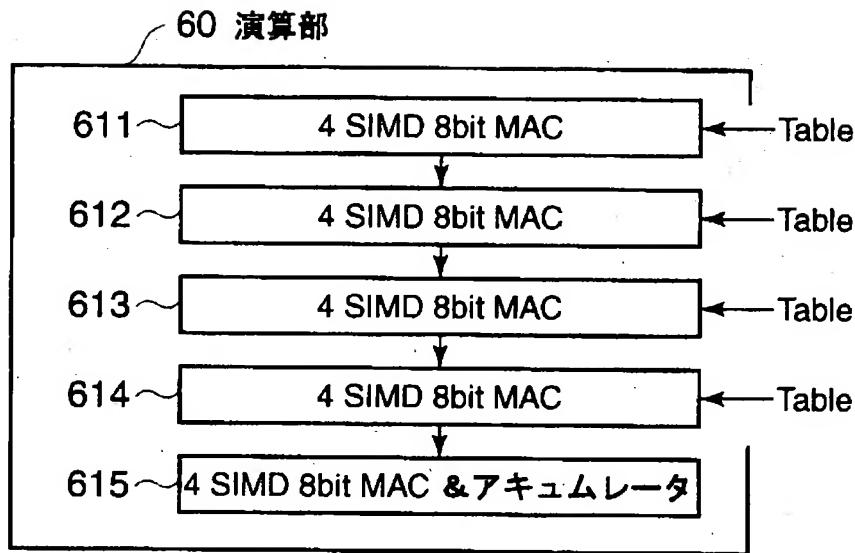
【図4】



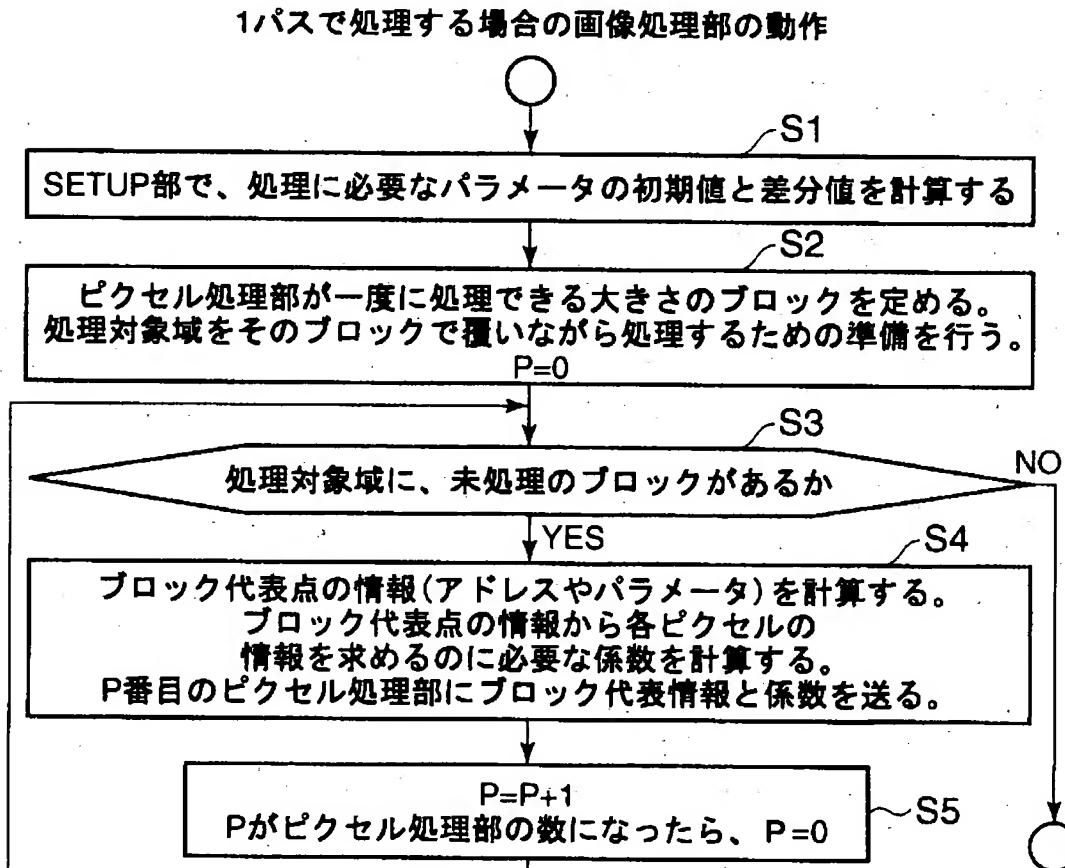
【図5】



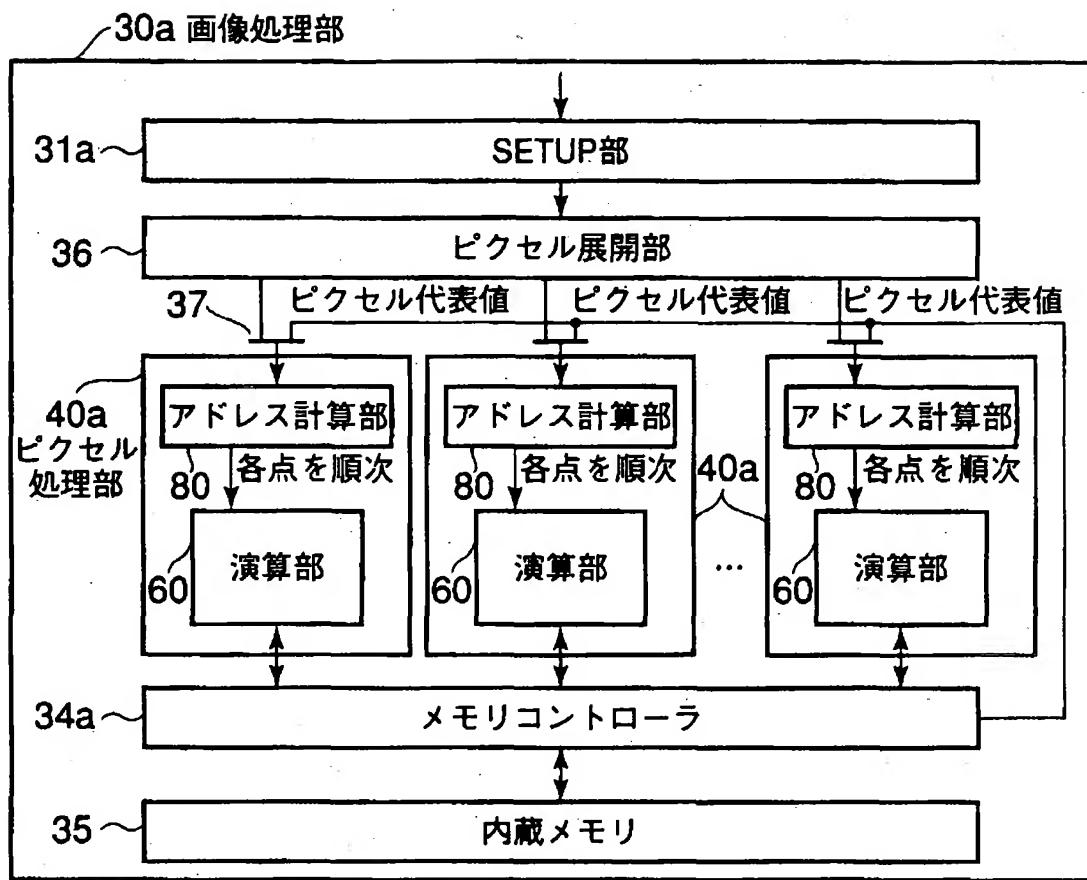
【図6】



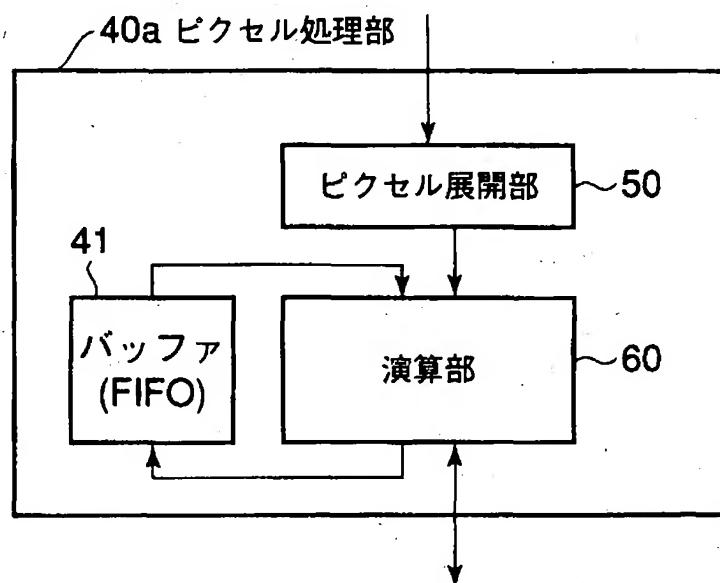
【図7】



【図8】



【図9】



【図10】

ブロック内処理の割り当て(1)

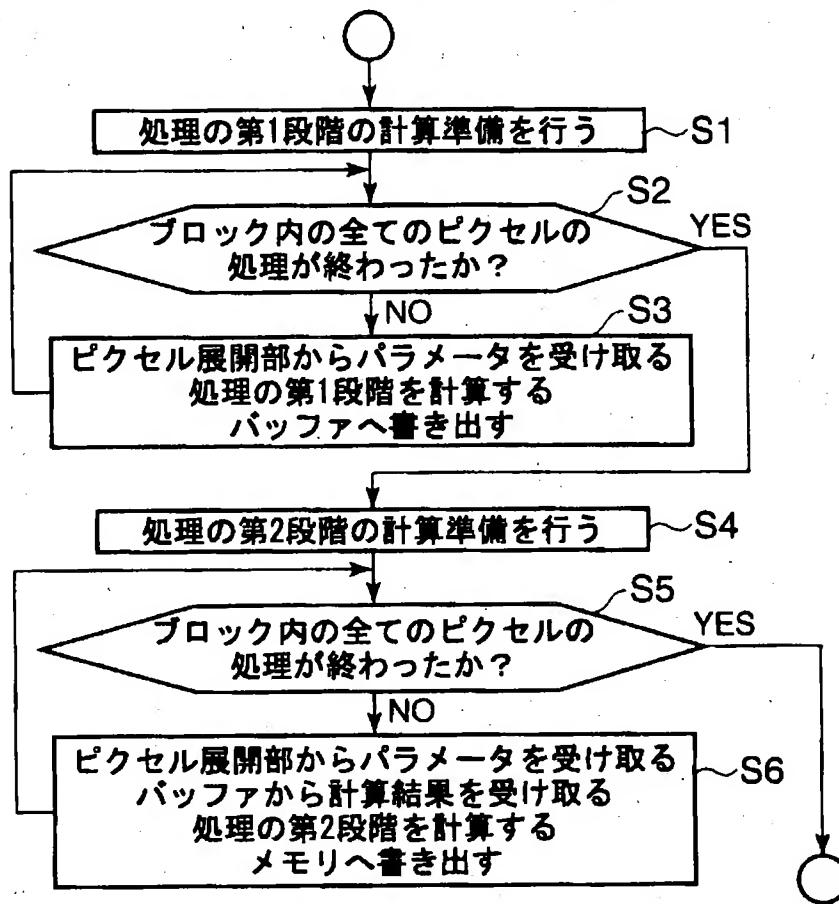
【圖 1 1】

ブロック内処理の割り当て(2)

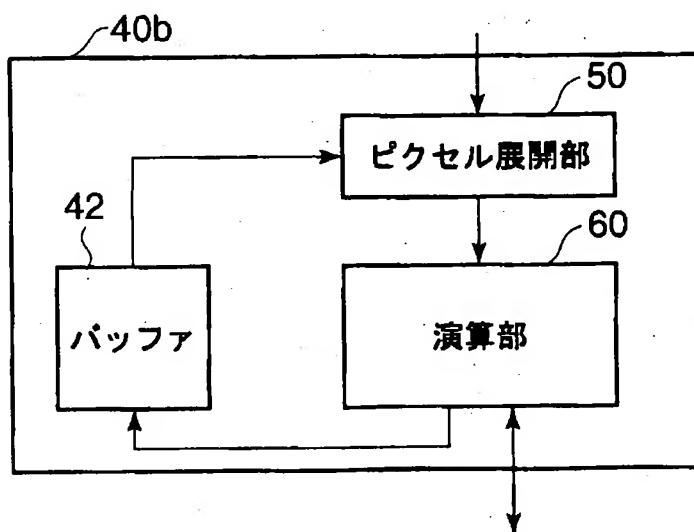
处理部 00	处理部 01
处理部 02	处理部 03
stamp 0	stamp 1
处理部 04	处理部 05
处理部 06	处理部 07
stamp 2	stamp 3

【図12】

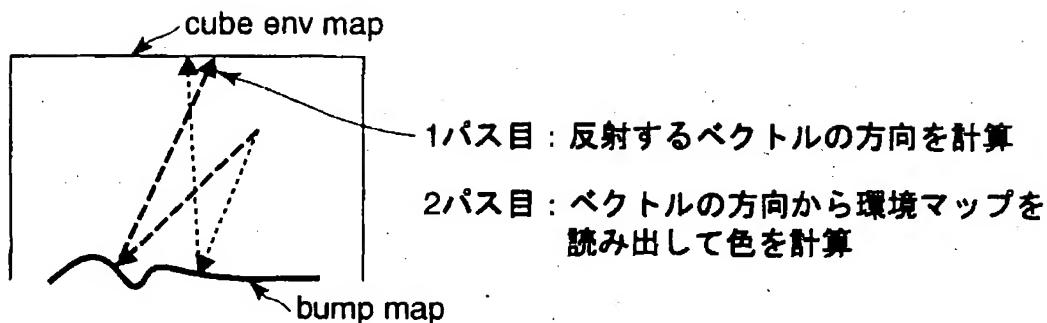
2パスで処理する場合の画像処理部の動作



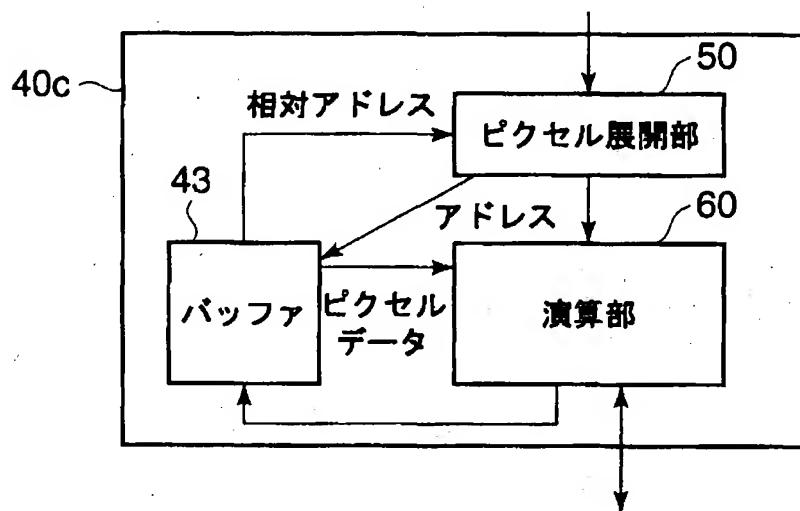
【図13】



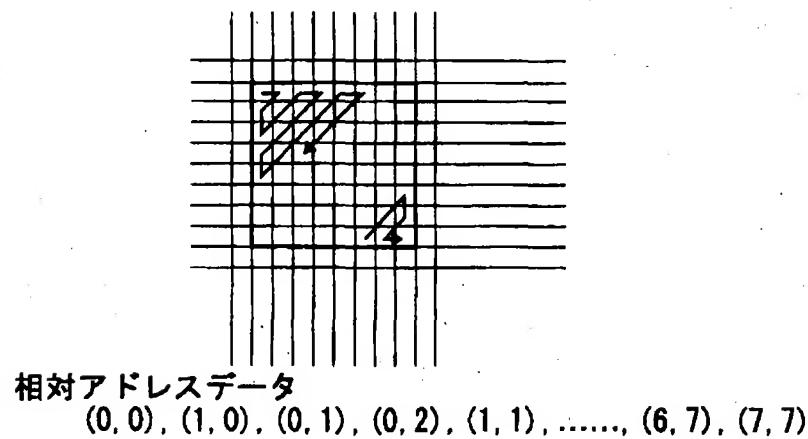
【図14】



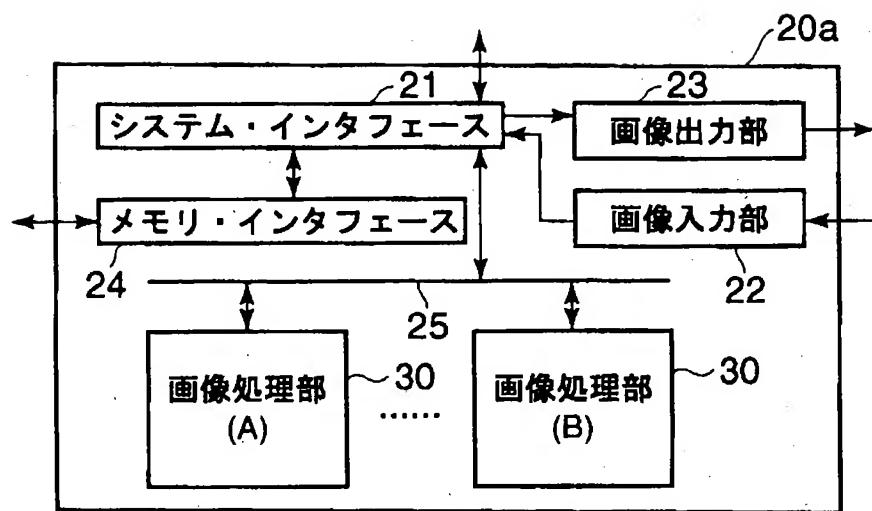
【図15】



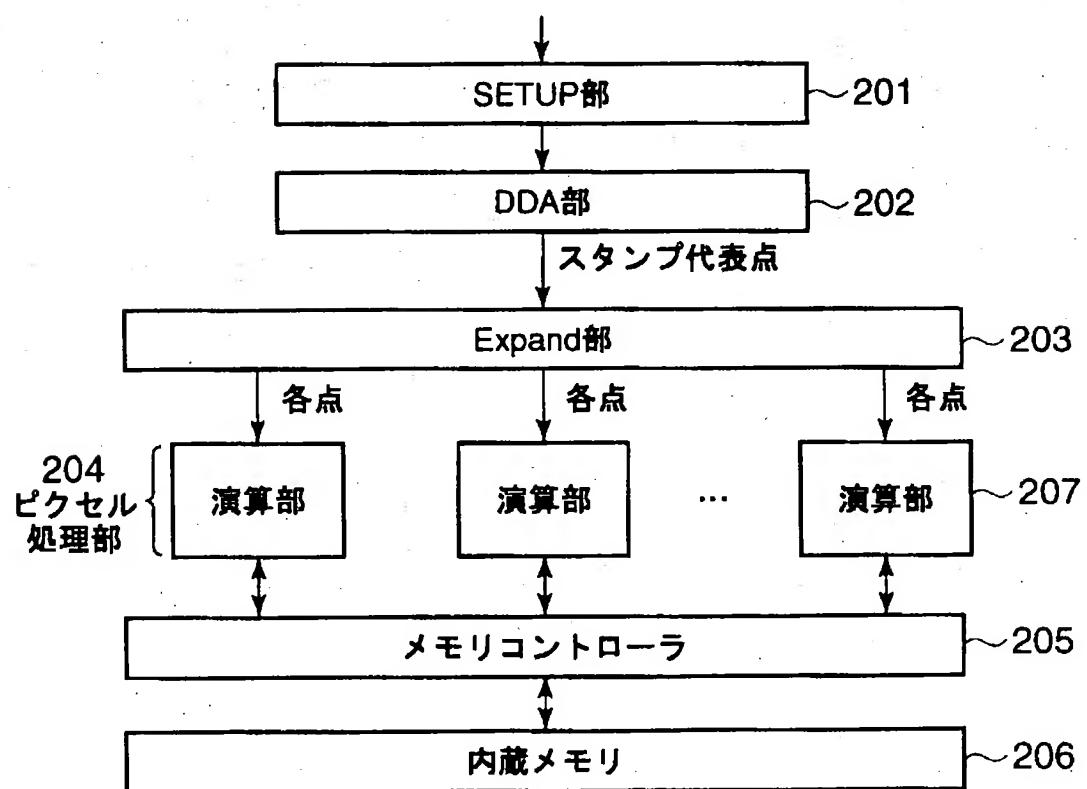
【図16】



【図17】



【図18】



【図19】

- ・4×2のstampを8本のパイプで並列処理

0	1	2	3	0	1	2	3	0	1	2	3
4	5	6	7	4	5	6	7	4	5	6	7
0	1	2	3	0	1	2	3				
4	5	6	7	4	5	6	7				

【書類名】 要約書

【要約】

【課題】 画像処理装置によるコンピュータ・グラフィックス、コンピュータ・ビジョン、画像フィルタ等の画像処理を1チップの画像処理部で効率良く行う。

【解決手段】 描画するエリアを適切なピクセル数からなるブロック単位で扱い、各ブロックの代表点に関する情報の展開計算をするブロック展開部32と、ブロック展開部で計算されたブロック代表点情報から少なくとも矩形領域内のピクセル単位に情報展開するピクセル展開部50およびピクセル展開部により情報展開されたピクセル単位の演算を行う演算部60をそれぞれ有する複数のピクセル処理部40とを備えた画像処理部30が同一半導体チップ上に形成されており、ブロック展開部とピクセル処理部が連携して行うグラフィックス処理およびピクセル処理部がブロック展開部とは独立して行う画像処理を、選択的に実行することを特徴とする。

【選択図】 図1

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2004年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号

氏 名 株式会社東芝